

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010066386 A  
(43)Date of publication of application: 11.07.2001

(21)Application number: 1019990068095  
(22)Date of filing: 31.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: AHN, BYEONG GWON  
JU, GWANG CHEOL

(51)Int. Cl. H01L 27/115

(54) METHOD FOR MANUFACTURING GATE ELECTRODE OF FLASH MEMORY

(57) Abstract:

PURPOSE: A method for manufacturing a gate electrode is to use TaON, which has a high dielectric constant and a stable chemical bonding structure, as an insulating substance between a floating gate and a control gate, thereby reducing oxidation reactivity with the floating gate and securing high capability.

CONSTITUTION: A tunnel oxide layer(20) is formed on an entire surface of a semiconductor substrate(10). A conductive layer for a floating gate(30) is formed on the substrate. A TaON layer(40) is deposited on the conductive layer for floating gate so as to form an insulating layer between gates. A conductive layer for a control gate(50) is formed on the insulating layer between the gates. The deposited conductive layer for control gate, the insulating layer between gates, the conductive layer for floating gate and the tunnel oxide layer are patterned by a photolithography using a gate mask, thereby forming a gate electrode.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020115)

특 2001-0066386

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/115

(11) 공개번호 특2001-0066386  
(43) 공개일자 2001년07월11일

(21) 출원번호	10-1999-0068095
(22) 출원일자	1999년12월31일
(71) 출원인	주식회사 하이닉스반도체 박종섭
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 주광철 경기도이천시대월면사동리현대5차아파트502동104호 안병권 서울특별시강북구미아3동307-24 박대진, 정은섭
(74) 대리인	

심사청구 : 있음

(54) 플래시 메모리의 게이트전극 제조방법

요약

본 발명은 플래시 메모리의 게이트전극 제조방법에 관한 것으로서, 특히 이 방법은 반도체기판 전면에 터널 산화막을 형성하며, 터널 산화막이 형성된 기판 전면에 플로팅 게이트용 도전막을 형성한 후에, 플로팅 게이트용 도전막 상부에 TaON박막을 증착하여 게이트간 절연막을 형성하며, 게이트간 절연막 상부에 컨트롤 게이트용 도전막을 형성한 후에, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 적층된 컨트롤 게이트용 도전막, 게이트간 절연막, 플로팅 게이트용 도전막 및 터널 산화막을 패터닝하여 게이트 전극을 형성한다. 따라서, 본 발명은 플로팅 게이트와 컨트롤 게이트 사이의 게이트간 절연막질로서 유전율이 높으면서 화학적 결합구조도 Ta<sub>2</sub>O<sub>5</sub>(ε=25)보다 안정한 TaON을 사용함으로써 플로팅 게이트와의 산화반응성을 줄이면서 ONO 또는 Ta<sub>2</sub>O<sub>5</sub>를 갖는 셀 게이트전극보다 등가 산화막 두께(Tox)를 더 낮출 수 있어 높은 용량을 확보할 수 있다.

도표도

도1

도2

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 플래시 메모리의 게이트전극 제조방법을 설명하기 위한 단면도,  
도 2는 본 발명의 다른 실시예에 따른 플래시 메모리의 게이트전극 제조방법을 설명하기 위한 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

10: 기판 12: 필드산화막  
20: 터널산화막 30: 플로팅 게이트  
40: TaON 게이트간 절연막 50: 컨트롤 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플래시 메모리의 제조방법에 관한 것으로서, 보다 상세하게는 플래시 메모리(flash memory)의 게이트전극 제조 공정시 높은 유전상수와 박막 질이 우수한 TaON을 게이트간 절연체막으로 사용하여 게

트랜지스터의 전기적 특성을 향상시킬 수 있는 플래시 메모리의 게이트전극 제조방법에 관한 것이다.

비휘발성 메모리로 널리 사용되는 플래시 EEPROM(electrically programmable erasable read only memory)은 전기적으로 데이터를 프로그램하고 소거하는 기능을 가지고 있다. 이러한 EEPROM의 프로그램 동작은 드레인 측에 채널 열 전자(channel hot electron)를 형성시켜 상기 전자를 플로팅 게이트(floating gate)에 축적함으로써 셀 트랜지스터의 문턱 전압을 증가시키는 동작이다. 반면에, 소거 동작은 소스/기판과 상기 플로팅 게이트간에 고전압을 발생시켜 플로팅 게이트에 축적된 전자를 방출함으로써 셀 트랜지스터의 문턱 전압을 낮추는 것이다.

한편, 현재 반도체 소자의 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 이에, 플래시 메모리는 게이트전극간 절연막을 통상의 실리콘 산화막( $\text{SiO}_2$ ) 대신에  $\text{NO}$ (Nitride-Oxide) 또는  $\text{ONO}$ (Oxide-Nitride-Oxide)구조로 사용하고 있다.

하지만, 이렇게  $\text{NO}$  또는  $\text{ONO}$  유전체를 사용하는 플래시 메모리의 셀 트랜지스터의 제조 공정시 주로 플로팅 게이트의 폴리실리콘 위에 고온의 열산화법으로 산화막을 성장시켜서  $\text{NO}$  또는  $\text{ONO}$ 를 형성한다. 그러나, 이 산화 공정에 의해 하부 플로팅 게이트의 폴리실리콘의 계면에서는 불균일하게 산화막이 성장되어 전체 등가 산화막( $\text{Tox}$ )의 두께가 증가하기 때문에 플래시 메모리의 셀 정전용량이 감소하게 된다.

그러므로, 차세대 고용량 및 고집적 메모리 제품에 필요한 정전용량을 달성하기 위해서, 종래  $\text{NO}$  또는  $\text{ONO}$  대신에 고유전상수를 갖는  $\text{Ta}_2\text{O}_5$ 으로 대체하려는 재료적인 연구가 진행 중에 있다.

하지만, 이  $\text{Ta}_2\text{O}_5$ 는 불안정한 화학양론비(stoichiometry)를 갖고 있어  $\text{Ta}$ 와  $\text{O}$ 의 조성비 차이에 기인한 치환형  $\text{Ta}$  원자가 박막내에 존재하기 때문에 증착시  $\text{Ta}_2\text{O}_5$ 의 전구체인  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 의 유기물과  $\text{O}_2$  (또는  $\text{N}_2\text{O}$ )가스의 반응으로 인해 불순물인 탄소원자와 탄소화합물( $\text{C}$ ,  $\text{CH}_4$ ,  $\text{C}_2\text{H}_4$  등) 및 물( $\text{H}_2\text{O}$ )이 생성된다. 결국,  $\text{Ta}_2\text{O}_5$  막내에 증착 과정에서 발생하는 산소공공(oxygen vacancy)과 불순물로 존재하는 탄소원자, 이온과 라디칼로 인해서 전체 셀 게이트전극의 누설전류가 증가하게 되고 그 유전특성이 열화된다.

이러한  $\text{Ta}_2\text{O}_5$ 내의 불순물을 제거하기 위하여 저온 열처리(예를 들면, plasma  $\text{N}_2\text{O}$  또는  $\text{UV}-\text{O}_2$ )를 이중, 삼중으로 처리하고 있지만, 이 역시 제조 과정이 복잡하며  $\text{Ta}_2\text{O}_5$  박막의 산화 저항성이 낮기 때문에 플로팅 게이트 표면에 자연산화막이 형성되어 결국,  $\text{Ta}_2\text{O}_5$ 를 채운 플래시 메모리의 셀 게이트전극의 정전 용량이 낮아지는 문제점이 있었다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 플로팅 게이트와 컨트롤 게이트 사이의 게이트간 절체막질로서 유전율이 높으면서 화학적 결합구조도  $\text{Ta}_2\text{O}_5$  ( $e=25$ )보다 안정한  $\text{TaON}$ 을 사용함으로써 플로팅 게이트와의 산화반응성을 줄이면서  $\text{ONO}$  또는  $\text{Ta}_2\text{O}_5$ 를 갖는 셀 게이트전극보다 등가 산화막 두께( $\text{Tox}$ )를 더 낮출 수 있어 높은 용량을 확보할 수 있는 플래시 메모리의 게이트전극 제조방법을 제공하는데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 플래시 메모리의 게이트전극 제조방법에 있어서, 반도체기판 전면에 터널 산화막을 형성하는 단계와, 터널 산화막이 형성된 기판 전면에 플로팅 게이트용 도전막을 형성하는 단계와, 플로팅 게이트용 도전막 상부에  $\text{TaON}$ 박막을 증착하여 게이트간 절연막을 형성하는 단계와, 게이트간 절연막 상부에 컨트롤 게이트용 도전막을 형성하는 단계와, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 적층된 컨트롤 게이트용 도전막, 게이트간 절연막, 플로팅 게이트용 도전막 및 터널 산화막을 패터닝하여 게이트전극을 형성하는 단계를 포함하여 이루어진다.

본 발명에 따르면,  $\text{TaON}$  박막은 20~25의 고유전율을 가지며  $\text{Ta-O-N}$  결합 구조를 갖고 있어 불안정한 화학양론비를 갖는  $\text{Ta}_2\text{O}_5$  박막( $e=25$ )에 비해 안정된 결합구조를 갖고 있으며 플로팅 게이트와의 산화반응성도 작아서  $\text{ONO}$  및  $\text{Ta}_2\text{O}_5$ 를 갖는 플래시 메모리 게이트전극보다 등가 산화막 두께( $\text{Tox}$ )를 더 낮출 수 있어 높은 용량을 확보할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 플래시 메모리의 게이트전극 제조방법을 설명하기 위한 단면도로서, 이를 참조하면 본 발명의 일 실시예는 다음과 같다.

우선, 반도체 기판으로서 실리콘 기판(10)에 소자의 활성 영역과 비활성 영역을 구분하는 필드 산화막(12)을 형성한다. 그리고, 기판(10) 전면에 터널 산화막(20)을 형성하고, 그 위에 플로팅 게이트용 도전막(30)으로서 도프트 폴리실리콘을 증착한다.

그 다음, 플로팅 게이트용 도전막(30) 상부에  $\text{TaON}$ 박막(40)을 증착하여 게이트간 절연막을 형성한다. 여기서,  $\text{TaON}$ 박막의 증착 공정은 웨이퍼에서 일어나는 표면 화학반응(surface chemical reaction)을 통해 비정질  $\text{TaON}$ 을 약 150Å 정도 증착하도록 한다. 이때,  $\text{TaON}$ 박막 증착시 사용되는  $\text{Ta}$  화학증기는  $\text{Ta}$  화합물(예컨대,  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )을 유량 조절기(mass flow controller)를 통해 정량 공급한 후에 150~200°C의 온도 범위에서 정온으로 유지되고 있는 증발기를 통해 증발시켜 얻고, 300~600°C의 저압 화학기상증착(low

pressure chemical vapor deposition) 챔버내에서 Ta의 화학증기와 그 반응 가스인  $NH_3$  가스를 10~1000sccm 범위내에서 유량조절기를 통해 각각 정량 공급한 다음, 표면 화학반응을 유도하여 비정질 TaON 막을 증착한다.

그 다음, 비정질 TaON의 유전율을 증가시키고 결합 구조를 치밀화하여 결합력을 강화시킬 목적으로 어닐링 공정을 실시한다. 여기서, 어닐링 공정은 금속 열처리공정을 이용하여 650~950°C에서 30초~30분정도 어닐링시켜 상기 게이트간 절연막인 TaON(40)을 결정화하거나, 전기로를 이용하여 650~950°C에서 30초~30분정도 어닐링시켜 상기 게이트간 절연막인 TaON(40)을 결정화하거나,  $N_2O$ (0<sub>2</sub> 또는  $N_2$ ) 분위기에서 1분~30분동안 어닐링시킴으로써 결정화를 유도한다.

그 다음, TaON의 게이트간 절연막(40) 상부에 컨트롤 게이트용 도전막(50)으로서 도프트 폴리실리콘을 증착한다.

이어서, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 순차 적층된 컨트롤 게이트용 도전막(50), TaON 게이트간 절연막(40), 플로팅 게이트용 도전막(30) 및 터널 산화막(20)을 패터닝하여 게이트 전극(6)을 형성한다.

본 발명에 제조 방법에 있어서, 상기 플로팅 게이트 및 컨트롤 게이트용 도전막(30, 50)은 각각 도프트 폴리실리콘과 금속 물질을 단독 또는 적층해서 형성하고, 이때 금속 물질은 TiN, TaN, W, WN, WSi, Ru,  $RuO_2$ , Ir,  $IrO_2$ , Pt 중에서 어느 하나를 이용하는 것이 바람직하다.

또, 본 발명의 제조 방법에 있어서, 상기 플로팅 게이트용 도전막(30)을 폴리실리콘으로 사용할 경우 정전용량을 증가시키기 위해서 반구형 요철구조(Hemi-Spherical Grain)의 폴리실리콘 성장 공정을 추가 실시할 수 있다.

또한, 본 발명의 제조 방법은 비정질 TaON을 증착하기 전에, 인시튜 또는 엑스시튜에서 HF 증기를 이용한 건식 세정공정, HF 용액을 이용한 습식 세정공정 중에서 어느 하나의 세정 공정으로 플로팅 게이트 도전막(30) 표면의 자연산화막 및 파티클을 제거한다. HF 화합물을 이용한 세정 공정 전/후에 플로팅 게이트 도전막(30) 계면을 세정하거나 균일성을 향상시키기 위하여  $NH_4OH$  또는  $H_2SO_4$  용액을 사용하여 계면처리할 수 있다.

그러므로, 본 발명은 플래시 메모리의 셀 트랜지스터의 게이트간 절연막(interpoly)으로서 TaON( $\epsilon=20\sim25$ )을 사용할 경우 종래  $ONO$ ( $\epsilon=4\sim5$ )보다 유전율이 높고 화학적 결합구조도 종래  $Ta_2O_5$ ( $\epsilon=20\sim25$ ) 보다 안정되어 플로팅 게이트 및 컨트롤 게이트와의 산화반응성도 적다. 이에,  $ONO$  또는  $Ta_2O_5$ 를 사용한 게이트 전극에 비해 등가산화막 두께를 더 낮출 수 있어 높은 정전용량을 확보할 수 있다. 특히 TaON은 불안정한 화학양론비를 갖는  $Ta_2O_5$ 에 비해 구조적으로 안정된 Ta-O-N 결합구조를 갖고 있기 때문에 외부로부터 인가되는 전기적 충격에도 강하고 절연 파괴전압이 높고, 플로팅 게이트로부터의 누설 전류량이 적다.

도 2는 본 발명의 다른 실시예에 따른 플래시 메모리의 게이트전극 제조방법을 설명하기 위한 단면도로서, 이를 참조하면 본 발명의 다른 실시예는 다음과 같다. 본 발명의 다른 실시예는 상술한 일 실시예에서 TaON 게이트간 절연막 상/하부에 질화 또는 질산화 등의 표면처리를 추가 실시한 것이다.

도 2를 참조하면, 본 실시예는 상술한 일 실시예와 동일하게 실리콘 기판(10)에 필드 산화막(12)과, 터널 산화막(20) 및 플로팅 게이트용 도전막(30)을 순차 형성한다.

그 다음, 플로팅 게이트용 도전막(30) 표면에 저유전 산화막의 생성을 방지(즉, 산화저항성의 증가)하기 위하여 질화(SiN) 또는 질산화(SiON) 처리한다. 이때, 질화 또는 질산화막(32)의 두께는 5Å~20Å 정도로 한다. 여기서, 질화 처리 공정은 인시튜(in-situ)로 300~600°C에서 플라스마(plasma)를 이용하여  $NH_3$  또는  $N_2$  분위기에서 30초~10분동안 질화처리하거나, 650~950°C에서 금속 열처리(rapid thermal process) 또는 500~1000°C에서 전기로(furnace)를 이용하여  $NH_3$  분위기에서 질화처리한다. 반면에, 질산화 처리 공정은 인시튜로 300~950°C에서 플라스마 또는 금속 열처리를 이용하여  $N_2O$  분위기에서 실시한다. 이와 같이, 플로팅 게이트용 도전막(30) 표면에 형성된 SiN 또는 SiON(32)는 자연 산화막의 형성을 방지하여 누설 전류 특성을 향상시킨다.

또는  $N_2$  분위기에서 30초~10분동안 질화처리하거나, 650~950°C에서 금속 열처리(rapid thermal process) 또는 500~1000°C에서 전기로(furnace)를 이용하여  $NH_3$  분위기에서 질화처리한다. 반면에, 질산화 처리 공정은 인시튜로 300~950°C에서 플라스마 또는 금속 열처리를 이용하여  $N_2O$  분위기에서 실시한다. 이와 같이, 플로팅 게이트용 도전막(30) 표면에 형성된 SiN 또는 SiON(32)는 자연 산화막의 형성을 방지하여 누설 전류 특성을 향상시킨다.

추가적으로 TaON을 증착하기 전에, 플라스마 또는 금속 열처리 공정을 이용하여  $N_2O$  또는  $O_2$  분위기에서 열처리하여 플로팅 게이트용 도전막(30) 표면을 산화처리할 수 있다.

그 다음, 질화 또는 질산화처리(32)된 플로팅 게이트용 도전막(30) 상부에 인시튜 또는 엑스시튜로 TaON 박막(40)을 증착하여 게이트간 절연막을 형성한다.

그리고, 비정질 TaON(40)을 증착해서 게이트간 절연막을 형성한 후에, 상기 게이트간 절연막인 TaON(40)의 표면을 균질하게 질화(SiN) 또는 질산화(SiON)시킬 수 있다. 이에 따라, 게이트간 절연막 표면에 형성된 질화(SiN) 또는 질산화막(SiON)(42)은 이후 형성될 컨트롤 게이트의 산화 및 전하 전도를 방지하면서 비정질 TaON(40) 계면의 마이크로 크랙 및 핀홀과 같은 구조적인 결함을 보강하고 균질도(homogeneity)를 향상시키는 역할을 한다.

여기서, 질화(SiN) 또는 질산화(SiON) 공정은 인시튜로 플라스마를 이용하여 200~600°C와,  $NH_3$ ,  $N_2/H_2$  또는  $N_2O$  분위기에서 어닐링하거나 또는 금속 열처리 또는 전기로를 이용하여 650~950°C와,  $NH_3$ (또는  $N_2/H_2$ ,  $N_2O$ ) 분위기에서 30초~30분동안 질화(질산화)시킨다.

그리고, 비정질 TaON 게이트간 절연막(40)을 증착한 후에 표면처리와 결정화를 동시에 이룰 수 있도록 인시튜 또는 엑스시튜로 플라스마를 이용하여 300~600°C와  $N_2O$  또는  $O_2$  분위기에서 산화시켜 TaON을 결정화한다. 또는 인시튜 또는 엑스시튜로 전기로 또는 플라스마를 이용하여 600~950°C와  $N_2O$  또는  $O_2$  분위

기에서 어닐링하여 TaON막을 결정화한다. 이러한 어닐링 공정에 의해 TaON 증착과정에서 생성된 탄소화합물의 불순물과 막내에 존재하는 산소 공공을 제거하면서 TaON의 결정화를 유도하여 유전체막질의 고밀도화를 달성한다.

또한, 본 발명은 상기 TaON(40)을 증착한 후에 O<sub>2</sub>와 H<sub>2</sub> 분위기에서 O<sub>2</sub>/H<sub>2</sub> 가스의 유량비를 30이하로 정량하여 TaON막 표면을 산화시킴과 동시에 막질을 결정화한다.

그 다음, TaON 게이트간 절연막(40) 상부에 컨트롤 게이트용 도전막(50)을 형성한 후에, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 순차 적층된 컨트롤 게이트용 도전막(40), SiN(또는 SiON)(42), TaON 게이트간 절연막(40), SiN(또는 SiON)(32), 플로팅 게이트용 도전막(30) 및 터널 산화막(20)을 패터닝하여 게이트전극(6)을 형성하여 본 실시예에 따른 플래시 메모리 게이트전극 제조 공정을 완료한다.

본 발명의 다른 실시예에 따르면, 비정질 TaON 증착전/후에 질화(또는 질산화)공정을 실시하기 때문에 플로팅 게이트용 도전막 또는 비정질 TaON의 표면 처리와 결정화를 유도할 수 있다. 이에 따라, TaON 상/하부의 질화박막에 의해 플로팅 게이트와 컨트롤 게이트 사이의 계면에서 일어나는 산화반응을 효과적으로 억제할 수 있어 등가산화막 두께를 30 Å미만으로 낮출 수 있으며 계면의 균질화를 달성할 수 있다.

## 발명의 효과

상기한 바와 같이 본 발명에 따르면, Ta-O-N 구조로 상호 공유 결합되어 있는 TaON을 플래시 메모리의 게이트간 절연막으로 사용함으로써 화학양론비가 불안정하여 산소 공공을 포함하고 있는 Ta<sub>2</sub>O<sub>5</sub>에 비해 안정하고, 낮은 누설 전류 수준을 유지할 수 있으며 게다가, 높은 절연파괴전압과 소자 동작에 필요한 정전용량을 동시에 얻을 수 있다.

그리고, 본 발명은 증착된 비정질 TaON을 고온 열처리하여 결정화를 유도하면 그 결합력이 강화되어 컨트롤 게이트전극 제조시 TaON 게이트간 절연막의 물리화학적 특성의 열화를 방지할 수 있을 뿐만 아니라 결정화된 TaON이 상대적으로 비정질 막보다 높은 유전율을 얻을 수 있다.

또, 본 발명은 비정질 TaON의 증착전/후에 질화(또는 질산화)공정을 추가 실시할 경우 플로팅 게이트와 컨트롤 게이트 사이의 계면에서의 산소 확산을 방지하여 TaON의 저유전체 산화막의 생성을 막아 TaON 계면의 균질화를 달성할 수 있어 플래시 메모리의 셀 트랜지스터의 전기적 특성을 개선시킬 수 있다.

## (57) 청구의 범위

### 청구항 1

플래시 메모리의 게이트전극 제조방법에 있어서,

반도체기판 전면에 터널 산화막을 형성하는 단계;

상기 터널 산화막이 형성된 기판 전면에 플로팅 게이트용 도전막을 형성하는 단계;

상기 플로팅 게이트용 도전막 상부에 TaON박막을 증착하여 게이트간 절연막을 형성하는 단계;

상기 게이트간 절연막 상부에 컨트롤 게이트용 도전막을 형성하는 단계; 및

게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 상기 적층된 컨트롤 게이트용 도전막, 게이트간 절연막, 플로팅 게이트용 도전막 및 터널 산화막을 패터닝하여 게이트전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

### 청구항 2

제 1항에 있어서, 상기 TaON을 증착하기 전에, 플로팅 게이트용 도전막 표면을 질화 또는 질산화처리하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

### 청구항 3

제 2항에 있어서, 상기 질화 처리 공정은 인시투로 300~600°C에서 플라즈마를 이용하여 NH<sub>3</sub> 또는 N<sub>2</sub>/H<sub>2</sub> 분위기에서 30초~10분동안 질화처리하거나, 650~950°C에서 급속 열처리 또는 500~1000°C에서 전기료를 이용하여 NH<sub>3</sub> 분위기에서 질화처리하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

### 청구항 4

제 2항에 있어서, 상기 질산화 처리 공정은 인시투로 300~950°C에서 플라즈마 또는 급속 열처리를 이용하여 N<sub>2</sub>O 분위기에서 실시되는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

### 청구항 5

제 1항 및 제 2항에 있어서, 상기 TaON을 증착하기 전에, 인시투 또는 엑스시투에서 HF 증기를 이용한 건식 세정공정, HF 용액을 이용한 습식 세정공정 중에서 어느 하나의 세정 공정으로 플로팅 게이트용 도전막 표면의 자연산화막 및 파티클을 제거하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

### 청구항 6

제 5항에 있어서, 상기 세정공정을 실시하기 전/후에 NH<sub>4</sub>OH 또는 H<sub>2</sub>SO<sub>4</sub> 용액을 사용하여 계면처리를 하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 7

제 1항에 있어서, 상기 TaON을 증착하기 전에, 플라즈마 또는 급속 열처리 공정을 이용하여  $N_2O$  또는  $O_2$  분위기에서 열처리하여 플로팅 게이트용 도전막 표면을 산화처리하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 8

제 1항에 있어서, 상기 TaON박막의 증착 공정시, Ta 화학증기는 Ta 화학물을 유량 조절기를 통해 정량 공급한 후에  $150\sim 200^\circ C$ 의 온도 범위에서 정온으로 유지되고 있는 증발기를 통해 증발시켜 얻는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 9

제 1항 및 제 8항에 있어서, 상기 TaON박막 증착 공정은,  $300\sim 600^\circ C$ 의 저압 화학기상증착 챔버내에서 Ta의 화학증기와 그 반응 가스인  $NH_3$  가스를 유량조절기를 통해 각각 정량 공급한 다음, 표면 화학반응을 유도하여 비정질 TaON막을 증착하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 10

제 1항에 있어서, 상기 TaON을 증착하여 게이트간 절연막을 형성한 후에, 인시튜로 플라즈마를 이용하여  $200\sim 600^\circ C$ 와,  $NH_3$ ,  $N_2/H_2$  또는  $N_2O$  분위기에서 어닐링하여 상기 게이트간 절연막 표면을 균질하게 질화 또는 질산화시키는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 11

제 10항에 있어서, 상기 질화 처리를 위한 어닐링 공정시 인시튜 또는 엑시튜로 플라즈마를 이용하여  $300\sim 600^\circ C$ 와  $N_2O$  또는  $O_2$  분위기에서 산화시켜 TaON막을 결정화하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 12

제 1항에 있어서, 상기 TaON을 증착하여 게이트간 절연막을 형성한 후에, 전기로 또는 급속 열처리를 이용하여  $650\sim 950^\circ C$ 와,  $NH_3$ ,  $N_2/H_2$  또는  $N_2O$  분위기에서 어닐링하여 상기 게이트간 절연막 표면을 균질하게 질화 또는 질산화시키는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 13

제 12항에 있어서, 상기 TaON에 인시튜 또는 엑시튜로 전기로 또는 플라즈마를 이용하여  $600\sim 950^\circ C$ 와  $N_2O$  또는  $O_2$  분위기에서 어닐링하여 TaON막을 결정화하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 14

제 10항 및 제 12항에 있어서, 상기 질화 또는 질산화막의 두께는  $5\text{\AA}\sim 20\text{\AA}$ 인 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 15

제 10항 내지 제 13항에 있어서, 상기 TaON에  $O_2$ 와  $H_2$  분위기에서  $O_2/H_2$  가스의 유량비를 30이하로 정량하여 TaON막 표면을 산화시키거나 결정화하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 16

제 1항에 있어서, 상기 플로팅 게이트 및 컨트롤 게이트용 도전막은 각각 도프트 폴리실리콘과 금속 물질을 단독 또는 적층해서 형성하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 17

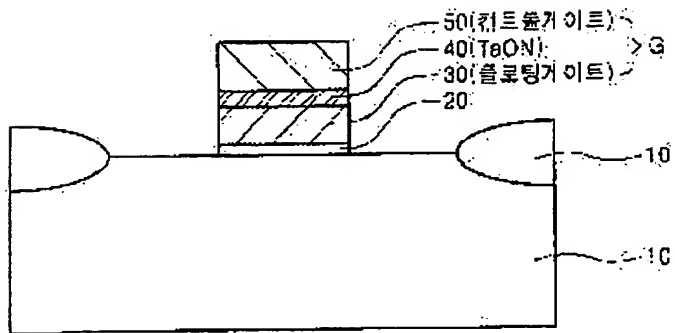
제 16항에 있어서, 상기 금속 물질은 TiN, TaN, W, WN, WSi, Ru,  $RuO_2$ , Ir,  $IrO_2$ , Pt 중에서 어느 하나인 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

#### 청구항 18

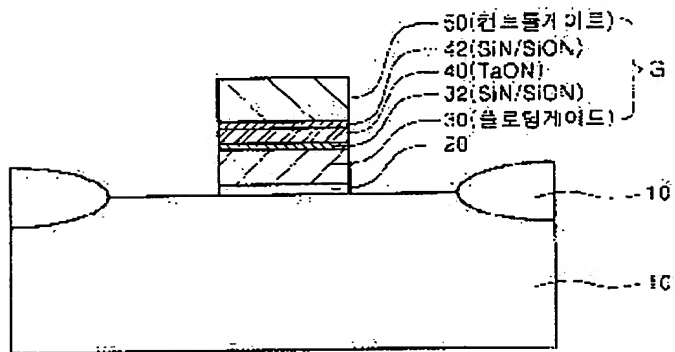
제 1항 또는 제 16항에 있어서, 상기 플로팅 게이트용 도전막의 폴리실리콘으로 사용할 경우 반구형 요철 구조의 폴리실리콘 성장 공정을 추가 실시하는 것을 특징으로 하는 플래시 메모리의 게이트전극 제조방법.

도면

도면1



도면2



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010059661 A  
(43)Date of publication of application: 06.07.2001

(21)Application number: 1019990067182  
(22)Date of filing: 30.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: JU, GWANG CHEOL  
LEE, GI JEONG

(51)Int. Cl. H01L 27/115

(54) NON-VOLATILE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A non-volatile memory device and a method for manufacturing the same are to obtain capacitance needed in a next generation device of the non-volatile memory device even though a surface area of a unit cell is reduced due to the high integration.

CONSTITUTION: A thin oxide film is deposited on a substrate to form a gate insulating film(5), and a conductive layer(10) for a floating gate is formed on the gate oxide film through a low pressure chemical vapor deposition. To increase capacitance of a cell transistor, a polysilicon layer composed of hemispherical grain is formed on the conductive layer. To prevent a low dielectric oxide film formed on an interface between the doped polysilicon films and a dielectric film, the surface area of the doped polysilicon film is nitrified, prior to depositing the dielectric film. An amorphous  $(\text{TaO})_{1-x}(\text{TiO})_x$  film(20) is formed on the dielectric film.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020724)

Patent registration number (1003514500000)

Date of registration (20020822)



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/115

(11) 공개번호 특2001-0059661  
(43) 공개일자 2001년07월06일

(21) 출원번호	10-1999-0067182
(22) 출원일자	1999년12월30일
(71) 출원인	주식회사 하이닉스반도체 박종섭
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 주광철 경기도이천시대월면사동리현대5차아파트502동104호 이기정 서울특별시송파구석촌동270-2호 박대진, 정은섭
(74) 대리인	박대진, 정은섭

심사청구 : 있음

(54) 비휘발성 메모리 소자 및 그 제조방법

요약

우수한 전기적 특성을 갖는 비휘발성 메모리 소자 및 그 제조방법에 대해 개시한다. 그 비휘발성 메모리 소자는, 반도체기판 위에 형성된 게이트절연막과, 게이트절연막 위에 형성된 플로팅 게이트와, 플로팅 게이트를 덮으며  $(TaO)_{x-1}(TiO)_N$  으로 이루어진 유전체막, 그리고 유전체막 상부에 형성된 컨트롤 게이트를 구비하며, ONO 박막 및  $Ta_2O_5$  박막을 이용한 소자보다 큰 충전용량을 얻을 수 있고, 공정을 단순화할 수 있다.

도표

도

도

도면의 간단한 설명

- 도 1은 전하 저장전극인 플로팅 게이트용 도전층을 형성하는 단계를 나타낸 단면도,
- 도 2는 플로팅 게이트용 도전층의 표면을 질화시키는 단계를 나타낸 단면도,
- 도 3은 표면화학적반응을 통해 비정질  $(TaO)_{x-1}(TiO)_N$  박막을 형성하는 단계를 나타낸 단면도,
- 도 4는 컨트롤 게이트를 형성하는 단계를 나타낸 단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- 1: 반도체기판 5: 게이트절연막
- 10: 플로팅 게이트용 도전층 15: HSG 실리콘층
- 20: 유전체막 25: 컨트롤 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로, 특히  $(TaO)_{x-1}(TiO)_N$  박막으로 이루어진

유전체막을 구비하여 우수한 전기적 특성을 갖는 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.

반도체 메모리 소자는 데이터 저장 특성에 따라 크게 두 가지로 나눌 수 있다. 그 하나는, 주기적으로 데이터를 복원시켜 주어야 하는 DRAM(Dynamic Random Access Memory)과 같은 휘발성(volatile) 메모리 소자이고, 다른 하나는 주기적인 데이터 복원이 불필요한 SRAM 또는 플래쉬(flash)와 같은 비휘발성(Non-Volatile) 메모리 소자이다. 이 두 종류의 메모리 소자들은 각각 적용되는 분야에 필요한 장점을 가지고 있기 때문에 응용분야의 특성에 맞게 독립적으로 사용되고 있다.

비휘발성 메모리 소자의 일종인 플래쉬(flash) 메모리 소자의 경우, 최근 휴대용 전자제품 시장의 성장과 함께 그 수요가 점차 증가하고 있다.

플래쉬 메모리 소자의 셀 트랜지스터에 사용되고 있는 유전체막은 플로팅 게이트(floating gate)와 컨트롤 게이트(control gate)를 절연시킴과 동시에, 소정의 정전용량을 갖는 유전체층의 역할을 한다.

이러한 플래쉬 메모리 소자의 유전체막으로 주로 사용되고 있는 산화막/질화막/산화막(ONO). 유전체 박막은 차세대 플래쉬 메모리 제품에 필요한 정전용량을 확보하는데 한계를 보이고 있다. 즉, 과도하게 도핑된 폴리실리콘 위에 열산화 방법으로 성장된 산화막은, 플로팅 게이트의 고농도 인(P) 성분으로 인한 특성 저하와, 높은 결합밀도 그리고 도핑된 폴리실리콘막의 산화에 의해 야기되는 산화막 두께의 불균일성 등으로 인해 두께를 감소시키는 것이 쉽지 않아 충분한 정전용량을 확보할 수 없는 문제점이 있다. 따라서, 256M 이상의 DRAM 제품에서 적용가능성이 큰 탄탈륨산화( $Ta_2O_5$ ) 박막을 플래쉬 메모리 소자의 유전체막으로 적용할 가능성이 커지고 있다.

그러나, 탄탈륨산화( $Ta_2O_5$ ) 막은 불안정한 화학양론비(stoichiometry)를 갖고 있기 때문에 탄탈륨(Ta)과 산소(O)의 조성비 차이에 기인한 치환형 탄탈륨 원자(vacancy atom)가 박막 내에 존재하게 된다. 탄탈륨산화( $Ta_2O_5$ )막은 물질 자체의 불안정한 조성 때문에 그 박막 내에는 산소공공(oxygen vacancy) 상태의 치환형 탄탈륨(Ta) 원자가 항상 국부적으로 존재할 수밖에 없다. 따라서, 탄탈륨산화( $Ta_2O_5$ ) 고유의 불안정한 화학양론비를 안정화시켜 누설전류를 방지하려는 목적으로 박막 내에 잔존해 있는 치환형 탄탈륨(Ta) 원자를 산화시키기 위한 별도의 산화공정이 필요하다. 그리고, 박막 형성시 탄탈륨산화( $Ta_2O_5$ )의 전구체(precursor)인  $Ta(OC_2H_5)_5$ 의 유기물과 O<sub>2</sub>(또는 N<sub>2</sub>O) 가스의 반응으로 인해서 불순물인 탄소원자(C)와 탄소화합물(CH<sub>4</sub>, C<sub>2</sub>H<sub>4</sub> 등) 및 물(H<sub>2</sub>O)도 함께 존재하게 된다. 결국, 탄탈륨산화( $Ta_2O_5$ ) 박막 내에 불순물로 존재하는 탄소원자, 이온과 라디칼(radical)로 인해 셀 트랜지스터의 플로팅 게이트로부터의 유전체막을 통한 누설전류가 증가하게 되고, 유전특성이 열화되는 문제를 내포하고 있다.

이상과 같은 이유로 인해 탄탈륨산화( $Ta_2O_5$ ) 박막이 비휘발성 메모리 소자인 플래쉬 메모리 소자의 셀 트랜지스터의 유전체막으로 적용되지 못하고 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여, 우수한 전기적 특성을 갖는 비휘발성 메모리 소자를 제공하는 데 있다.

본 발명의 다른 목적은 상기한 우수한 특성을 갖는 비휘발성 메모리 소자의 적합한 제조방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 비휘발성 메모리 장치의 셀 게이트전극 제조방법에 있어서, 반도체기판 위에 형성된 게이트절연막과, 게이트절연막 위에 형성된 플로팅 게이트와, 플로팅 게이트를 덮으며, (TaO)<sub>2</sub>, (TiO)<sub>2</sub>N으로 이루어진 유전체막과, 유전체막 상부에 형성된 컨트롤 게이트를 구비하는 것을 특징으로 한다.

본 발명의 비휘발성 메모리 소자에 있어서, 상기 유전체막의 Ti와 Ta의 몰 비는 0.01 ~ 1.0 : 1인 것이 바람직하다. 그리고, 플로팅 게이트는 스택 구조, 원통형 구조 또는 이중 이상의 원통형 구조이거나, 상기한 구조의 폴리실리콘층과, 폴리실리콘층의 표면에 형성된 HSG 실리콘층으로 이루어질 수도 있다.

그리고, 상기 플로팅 게이트 및 컨트롤 게이트 중 적어도 어느 하나는 도핑된 폴리실리콘, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> 및 Pt으로 이루어진 그룹에서 선택된 어느 하나로 형성된다. 특히, 컨트롤 게이트는 TiN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> 및 Pt으로 이루어진 그룹에서 선택된 어느 하나와, 폴리실리콘이 적층된 구조로 형성될 수도 있다.

상기 다른 목적을 달성하기 위하여 본 발명의 비휘발성 메모리 소자의 제조방법은 반도체기판 위에 게이트절연막을 형성하는 단계와, 게이트절연막 위에 플로팅 게이트용 도전층을 형성하는 단계와, 플로팅 게이트용 도전층 위에, (TaO)<sub>2</sub>, (TiO)<sub>2</sub>N 박막을 증착하여 유전체막을 형성하는 단계와, 유전체막 위에 컨트롤 게이트용 도전층을 형성하는 단계, 및 컨트롤 게이트용 도전층, 유전체막 및 플로팅 게이트용 도전층을 차례로 패터닝하는 단계를 포함한다.

본 발명의 비휘발성 메모리 소자의 제조방법에 있어서, 상기 유전체막은 탄탈륨 에틸레이드를 전구체로 사용하여 형성하고, 유전체막을 형성하기 전에, 플로팅 게이트용 도전층 위에 저유전 산화막이 형성되는 것을 방지하기 위하여, 플로팅 게이트용 도전층의 표면을 질화시키는 단계를 더 포함하는 것이 바람직하다. 이 때, 플로팅 게이트용 도전층을 질화시키는 단계는 인시튜(in-situ) 또는 엑스시튜(ex-situ)로 300

~600°C, NH<sub>3</sub> 또는 N<sub>2</sub>/H<sub>2</sub> 분위기에서 1~5분동안 플라즈마를 이용한 질화처리 공정을 실시하거나, 급속 열처리공정(rapid thermal process: RTP)을 이용하여 600~950°C, NH<sub>3</sub> 분위기에서 어닐링하여 질화처리 공정을 실시한다. 또는 전기로(furnace)를 이용하여 인시튜 또는 엑스시튜에서 500~1000°C, NH<sub>3</sub> 분위기에서 질화시킬 수 있다.

그리고, 상기 유전체막을 형성하기 전에, 인시튜 또는 엑스시튜로, 상기 플로팅 게이트용 도전층의 표면에 형성된 자연산화막을 제거하는 단계를 더 구비할 수 있으며, 이 자연산화막을 제거하는 단계 전 또는 후에, 플로팅 게이트용 도전층의 표면을 세정하거나 균일성을 향상시키기 위하여, NH<sub>4</sub>OH 용액 또는 H<sub>2</sub>SO<sub>4</sub> 용액을 이용하여 표면처리하는 단계를 더 구비할 수도 있다.

그리고, 상기 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N (0.01 ≤ x ≤ 0.09) 박막에 있어서 Ti와 Ta의 몰 조성비가 0.01 ~ 1.0 : 1 이 되도록 화학기상증착법으로 증착하는 것이 바람직하다.

또한, 상기 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N 증착시 Ta 화학증기는 유량 조절기를 통해 증발기로 공급되는 일정량의 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> 용액을 140~200°C에서 증발시켜 얻는다. Ti 성분의 화학증기는 Ti[OCH(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub> 용액을 유량 조절기를 통해 증발기로 공급한 다음, 일정량을 200~300°C에서 증발시켜 얻는다. 상기 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N 증착시 Ti 성분의 화학증기를 얻기 위해서 TiCl<sub>4</sub>, TDMAT, 또는 TDEAT 전구체를 사용하는 것이 바람직하다.

또한, 상기 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N 증착시 Ti/Ta=0.01~1.0의 몰 비로 반응가스 NH<sub>3</sub> 와 O<sub>2</sub> 가스량을 10sccm~1000sccm내에서 정량 공급하여 저압 화학기상증착 챔버 내에서 표면반응시킨다.

상기 유전체막을 형성하는 단계 후에, 인시튜(in-situ) 또는 엑스시튜(ex-situ)로 상기 유전체막의 표면을 열처리하여, 탄소화합물과 같은 유전체막 내 불순물을 제거하면서 유전체막의 결정화를 유도하는 단계를 더 구비한다. 이때 열처리 공정은 전기로 또는 급속열처리 공정을 사용하되, 650~950°C에서 N<sub>2</sub>O, O<sub>2</sub> 또는 N<sub>2</sub> 분위기에서 진행한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.

도 1 내지 도 4는 본 발명에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정순서도로서, 이를 참조하면 본 발명의 비휘발성 메모리 소자의 셀 게이트전극 제조방법은 다음과 같다.

먼저, 도 1은 전하 저장전극인 플로팅 게이트용 도전층(10)을 형성하는 단계를 나타낸 단면도이다.

도 1에 도시된 바와 같이, 반도체기판(1) 위에 얇은 산화막을 성장시켜 게이트절연막(5)을 형성한다. 그리고, 이 게이트절연막(5) 위에, 예를 들어 저압 화학기상증착(low pressure chemical vapor deposition)법을 이용하여 도핑된 폴리실리콘막을 증착하여 플로팅 게이트용 도전층(10)을 형성한다.

상기 플로팅 게이트용 도전층(10)은 도핑된 폴리실리콘막 외에, TiN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> 및 Pt와 같은 금속으로 이루어진 그룹에서 선택된 어느 또는 하나로 형성하거나; 상기 금속막과 폴리실리콘막의 적층 구조로 형성할 수도 있다. 그리고, 셀 트랜지스터의 충전용량을 증가시키기 위하여, 이렇게 하여 형성된 플로팅 게이트용 도전층(10) 위에, 도시된 바와 같이, 통상의 잘 알려진 방법으로 반구 모양의 그레인(Heml Spherical Grain; HSG)형상의 폴리실리콘층(15)을 형성할 수도 있다. 또한, 상기 게이트용 도전층(10)을 이중 스택(stack) 구조나, 원통형 또는 이중 원통형 구조 등 셀 트랜지스터의 충전용량을 증가시키기 위하여 3차원 구조로 형성할 수도 있다.

그 다음, 도 2에 도시된 바와 같이, 후속 유전체막 증착 및 열공정시 플로팅 게이트를 형성하기 위한 도핑된 폴리실리콘막(10, 15)과 유전체막의 계면에서 저유전 산화막(SiO<sub>2</sub>)이 형성되는 것을 방지하기 위하여, 유전체막 증착 직전에 인시튜(in-situ) 또는 엑스시튜(ex-situ) 상태로 다음과 같은 여러 가지 방법을 사용하여 상기 도핑된 폴리실리콘막(10+15)의 표면을 질화시킨다. 첫 번째 방법으로, 300~600°C의 온도, 암모니아(NH<sub>3</sub>) 가스 또는 N<sub>2</sub>/H<sub>2</sub> 분위기에서 1분 내지 5분 동안 플라즈마를 방전시켜 상기 플로팅 게이트용 도전층(10) 및 HSG 폴리실리콘층(15)의 표면을 질화(nitridation)시킨다. 둘째, 급속열처리(Rapid Thermal Process; RTP) 공정을 이용하여 650~950°C의 온도와 NH<sub>3</sub> 분위기에서 어닐링하여 질화시킨다. 다음, 인시튜(in-situ) 또는 엑스시튜(ex-situ)로 유전체막을 증착한다. 셋째, 플라즈마 또는 RTP를 이용하는 대신에 전기로(furnace)를 이용하여 500~1000°C의 온도와 NH<sub>3</sub> 분위기에서 질화시킨다.

또한, 상기 폴리실리콘막의 표면을 질화시키는 공정 전에, 플로팅 게이트용 도전층을 형성한 다음 인시튜(in-situ) 또는 엑스시튜(ex-situ)로 불산(HF) 증기 또는 불산 용액을 사용하여 자연산화막을 제거하는 공정을 추가할 수도 있다. 또한, 이러한 HF를 이용한 표면 처리 전 또는 후에, 계면을 세정하거나 균일성을 향상시키기 위하여 NH<sub>4</sub>OH 용액 또는 H<sub>2</sub>SO<sub>4</sub> 용액 등의 화합물을 사용하여 계면을 처리하는 공정을 추가할 수도 있다. 이때, 플로팅 게이트용 도전층의 산화저항을 증가시키기 위해 플라즈마 또는 RTP를 이용하여 NH<sub>3</sub> 또는 N<sub>2</sub>/H<sub>2</sub> 분위기에서 플로팅 게이트용 도전층의 표면을 300~950°C 온도에서 질화시키거나, NO<sub>2</sub> 또는 O<sub>2</sub> 분위기에서 열처리하여 덩굴링 본드(dangling bond)에 기반한 구조적 결함 또는 구조적 불균일성을 개선하여 누설전류 특성을 향상시킬 수도 있다.

도 3은 표면화학반응을 통해 비정질 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N 박막(20)을 형성하는 단계를 나타내는 단면도로서, 저압 화학기상증착 챔버에서 기상반응(gas phase reaction)을 억제시키면서 비정질의 (TaO)<sub>1-x</sub>(TiO)<sub>x</sub>N (0.01 ≤ x ≤ 0.09) 박막(20)을, 다음과 같은 화학증기를 사용하여 적절한 두께, 예를 들어 150 Å 미만의 두께로 증착한다.

먼저, 탄탈륨(Ta) 성분의 화학증기는 MFC(Mass Flow Controller)와 같은 유량조절기를 통해 증발기 또는 증발관으로 공급된 일정량의 탄탈륨 에틸레이드( $Ta(OC_2H_5)_5$ ) 용액을 140 ~ 200°C 정도의 온도범위 내에서 증발시켜 얻는다.

그리고, 티타늄(Ti) 성분의 화학증기는 티타늄 이소프로필레이드( $Ti(OCH(CH_3)_2)_3$ )와 같은 티타늄 화합물을 유량 조절기를 통해 증발기로 공급한 다음, 일정량을 200 ~ 300°C 정도의 온도범위 내에서 증발시켜 얻는다. 상기 Ti 성분의 화학증기는 티타늄 테트라클로라이드( $TiCl_4$ )를 비롯한 TDMAT(tetrakis-dimethylamido-Ti) 또는 TDMET(tetrakis-diethylamido-Ti) 화합물들을 전구체로 사용하여 얻을 수도 있다.

이와 같은 방법으로 얻어진 화학증기를  $Ti/Ta=0.01 \sim 1.0$ 의 몰 비(mole ratio)로 반응가스인 암모니아( $NH_3$ ) 가스와 산소( $O_2$ ) 가스를 10sccm~1000sccm 범위 내에서 정량 공급하여 저압 화학기상증착 챔버 내에서 표면반응시키면  $(TaO)_{1-x}(TiO)_xN$  박막을 얻을 수 있다.

그 다음, 도 4에 도시된 바와 같이, 비정질의  $(TaO)_{1-x}(TiO)_xN$  박막(20) 속에 반응부산물로 남아 있는 탄소 화합물과 같은 불순물을 제거하고, 결정화를 유도하여 유전율을 증가시키기 위하여, 전기로(furnace)를 이용하여 650 ~ 950°C 정도의 온도에서  $N_2(O_2$  또는  $N_2)$  분위기에서 5 ~ 30분 정도 열처리한다.

다음, 결정화된  $(TaO)_{1-x}(TiO)_xN$  유전체막(20) 위에 도핑된 폴리실리콘을 증착하여 컨트롤 게이트용 도전층(25)을 형성한다. 상기 컨트롤 게이트용 도전층(25)은 도핑된 폴리실리콘막 외에,  $TiN$ ,  $TaN$ ,  $W$ ,  $WN$ ,  $WSi$ ,  $Ru$ ,  $RuO_2$ ,  $Ir$ ,  $IrO_2$  및  $Pt$ 과 같은 금속으로 이루어진 그룹에서 선택된 어느 또는 하나로 형성하거나, 상기 금속막을 100 ~ 600 Å 정도 증착하고, 그 위에 후속 열공정에 의한 캐패시터의 전기적 특성 열화를 방지하기 위한 완충층(buffer layer)으로 폴리실리콘막을 적층할 수도 있다. 그리고, 상기 금속막들은 LP-CVD 방법 외에도, PE-CVD, RF 마그네틱 스퍼터링 등의 방법으로 증착할 수 있다.

다음에, 통상의 사진식각 공정을 이용하여 상기 컨트롤 게이트용 도전층(25),  $(TaO)_{1-x}(TiO)_xN$  박막(20) 및 플로팅 게이트용 도전층을 차례로 패터닝하여 플로팅 게이트(10, 15), 유전체막(20) 및 컨트롤 게이트(25)로 이루어진 셀 게이트전극을 완성한다.

상기한 바와 같이 본 발명에 따르면, 유전상수( $\epsilon$ )가 40 이상으로 유전율이 높은  $(TaO)_{1-x}(TiO)_xN$  박막을 얻을 수 있기 때문에, 종래의  $ONO$  박막( $\epsilon=4 \sim 5$ ) 및  $Ta_2O_5$  박막( $\epsilon=25$ )을 이용한 소자보다 큰 충전용량을 얻을 수 있다. 또한,  $(TaO)_{1-x}(TiO)_xN$  박막의 유전율이 크기 때문에 전하 저장전극의 면적을 증가시키기 위해 복잡한 3차원 구조를 사용할 필요가 없다. 즉, 전하 저장전극을 간단한 스택(stack) 구조로 하더라도 충분한 충전용량을 얻을 수가 있으며, 이로 인해 단위 공정의 수가 줄어들고 공정시간이 짧아져 생산 원가를 절감할 수 있다. 그리고, 구조적으로 안정된 정방정계(tetragonal system)의 격자구조를 가지고 있는 산화티타늄( $TiO_2$ )이 공유결합되어 있기 때문에 탄탈륨산화( $Ta_2O_5$ ) 자체로 존재하는 경우에 비해 기계적, 전기적 강도가 우수하고, 구조적으로도 안정되어 있어 외부로부터 인가되는 전기적 충격에도 강할 뿐 아니라, 누설전류 발생수준도 낮아 탄탈륨산화( $Ta_2O_5$ ) 박막을 사용하는 셀 트랜지스터보다 우수한 전기적 특성을 얻을 수 있다.

#### 발명의 효과

상술한 본 발명에 의한 비휘발성 메모리 소자 및 그 제조방법에 의하면, 셀게이트전극내에서  $(TaO)_{1-x}(TiO)_xN$  박막을 유전체막으로 사용함으로써 고집적화에 따른 단위 셀 면적의 감소에도 불구하고 비휘발성 메모리 소자의 차세대 제품에서 요구하는 충전용량을 충분히 얻을 수 있다.

또한, 본 발명에서와 같은  $(TaO)_{1-x}(TiO)_xN$  유전체막을 갖는 플래쉬 메모리 소자의 셀 트랜지스터는 탄탈륨산화( $Ta_2O_5$ ) 박막에서처럼 유전체막의 화학양론비 때문에 생기는 산소공공과 탄소 불순물로 인해 누설전류의 수준(level)이 높은 문제점을 해결할 수 있다. 또한, 이와 같은 문제를 개선하기 위해 탄탈륨산화( $Ta_2O_5$ ) 박막 증착 전처리 공정으로 실시하고 있는 급속열처리(Rapid Thermal Annealing; RTA) 공정 및 유전체막 증착 이후의 다단계 저온산화공정과 같은 복잡한 열처리 공정이 필요 없기 때문에 원가절감 및 생산성 측면에서 볼 때 매우 경제적이다.

한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주 내에서 당업자에 의해 여러 가지 변형이 가능하다.

#### (57) 청구의 범위

##### 청구항 1

비휘발성 메모리장치의 셀 게이트전극 제조방법에 있어서,

반도체기판 위에 형성된 게이트절연막;

상기 게이트절연막 위에 형성된 플로팅 게이트;

상기 플로팅 게이트를 덮으며,  $(TaO)_{1-x}(TiO)_xN$ 으로 이루어진 유전체막; 및

상기 유전체막 상부에 형성된 컨트롤 게이트를 구비하는 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 2

제 1항에 있어서, 상기 유전체막의 Ti와 Ta의 몰 비가 0.01 ~ 1.0 : 1인 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 3

제 1항에 있어서, 상기 플로팅 게이트는 스택 구조, 원통형 구조 또는 이중 이상의 원통형 구조인 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 4

제 1항에 있어서, 상기 플로팅 게이트는 스택 구조, 원통형 구조 또는 이중 이상의 원통형 구조의 폴리실리콘층과, 상기 폴리실리콘층의 표면에 형성된 HS6 실리콘층을 더 구비하는 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 5

제 1항에 있어서, 상기 플로팅 게이트 및 컨트롤 게이트 중 적어도 어느 하나는 도핑된 폴리실리콘으로 이루어진 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 6

제 1항에 있어서, 상기 플로팅 게이트와 컨트롤 게이트 중 적어도 어느 하나는, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> 및 Pt으로 이루어진 그룹에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 7

제 5항에 있어서, 상기 컨트롤 게이트는;

TiN, TaN, W, WN, WSi, Ru, RuO<sub>2</sub>, Ir, IrO<sub>2</sub> 및 Pt으로 이루어진 그룹에서 선택된 어느 하나와, 폴리실리콘이 적층된 구조로 이루어진 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 8

반도체기판 위에 게이트절연막을 형성하는 단계;

상기 게이트절연막 위에 플로팅 게이트용 도전층을 형성하는 단계;

상기 플로팅 게이트용 도전층 위에, (TaO)<sub>x</sub>(TiO)<sub>1-x</sub>N을 증착하여 유전체막을 형성하는 단계;

상기 유전체막 위에 컨트롤 게이트용 도전층을 형성하는 단계; 및

상기 컨트롤 게이트용 도전층, 유전체막 및 플로팅 게이트용 도전층을 차례로 패터닝하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 9

제 8항에 있어서, 상기 유전체막은 탄탈륨 에틸레이드를 전구체로 사용하여 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 10

제 8항에 있어서, 상기 유전체막을 형성하기 전에,

상기 플로팅 게이트용 도전층 위에 저유전 산화막이 형성되는 것을 방지하기 위하여 상기 플로팅 게이트용 도전층의 표면을 질화시키는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 11

제 10항에 있어서, 상기 플로팅 게이트용 도전층을 질화시키는 단계는,

인시튜 또는 엑스시튜로 300~600℃,  $NH_3$  또는  $N_2/H_2$  분위기에서 1~5분동안 플라즈마를 이용한 질화처리 공정을 실시하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 12

제 11항에 있어서, 상기 플로팅 게이트용 도전층을 질화시키는 단계는,

급속 열처리공정을 이용하여 600~950℃,  $NH_3$  분위기에서 어닐링하여 질화처리 공정을 실시하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 13

제 11항에 있어서, 상기 플로팅 게이트용 도전층을 질화시키는 단계는,

전기로를 이용하여 인시튜 또는 엑스시튜에서 500~1000℃,  $NH_3$  분위기에서 질화시키는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 14

제 8항에 있어서, 상기 유전체막을 형성하기 전에,

인시튜 또는 엑스시튜로, 상기 플로팅 게이트용 도전층의 표면에 형성된 자연산화막을 제거하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 15

제 14항에 있어서, 상기 플로팅 게이트용 도전층 표면에 형성된 자연산화막을 제거하는 단계 전 또는 후에,

상기 플로팅 게이트용 도전층의 표면을 세정하거나 균일성을 향상시키기 위하여,  $NH_4OH$  용액 또는  $H_2SO_4$  용액을 이용하여 표면처리하는 단계를 더 구비하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 16

제 8항에 있어서, 상기  $(TaO)_{1-x}(TiO)_xN$  ( $0.01 \leq x \leq 0.09$ ) 박막의 Ti와 Ta의 몰 조성비가 0.01 ~ 1.0 : 1이 되도록 화학기상증착법으로 증착하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 17

제 8항에 있어서, 상기  $(TaO)_{1-x}(TiO)_xN$  증착시 Ta 화학증기는 유량 조절기를 통해 증발기로 공급되는 일정량의  $Ta(OC_2H_5)_5$  용액을 140~200℃에서 증발시켜 얻는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 18

제 8항에 있어서, 상기  $(TaO)_{1-x}(TiO)_xN$  증착시 Ti 성분의 화학증기는  $Ti[OCH(CH_3)_2]_3$  용액을 유량 조절기를 통해 증발기로 공급한 다음, 일정량을 200~300℃에서 증발시켜 얻는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 19

제 8항 또는 제 18항에 있어서, 상기  $(TaO)_{1-x}(TiO)_xN$  증착시 Ti 성분의 화학증기를 얻기 위해서  $TiCl_4$ ,  $TiDMAT$ , 또는  $TiDEAT$  전구체를 사용하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 20

제 8항에 있어서, 상기  $(TaO)_{1-x}(TiO)_xN$  증착시  $Ti/Ta=0.01 \sim 1.0$ 의 몰 비로 반응가스  $NH_3$ 와  $O_2$  가스를 10sccm~1000sccm내에서 정량 공급하여 저압 화학기상증착 챔버 내에서 표면반응시키는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

**청구항 21**

제 8항에 있어서, 상기 유전체막을 형성하는 단계 후에, 인시튜 또는 엑스시튜로 상기 유전체막의 표면을 열처리하여, 탄소화합물과 같은 유전체막 내 불순물을 제거하면서, 유전체막의 결정화를 유도하는 단계를 더 구비하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

**청구항 22**

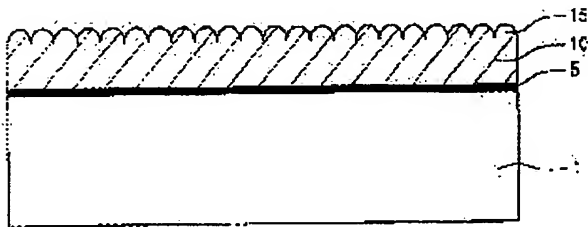
제 21항에 있어서, 상기 열처리 단계는 전기로 또는 급속열처리 공정을 사용하여 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

**청구항 23**

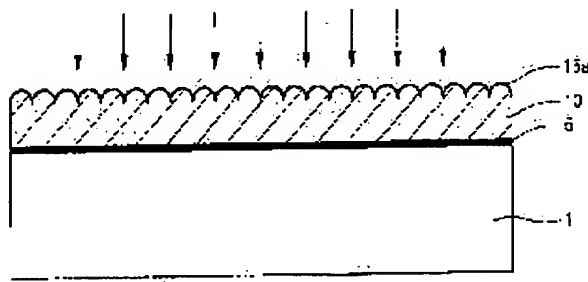
제 21항에 있어서, 상기 열처리시 650~950℃에서 N<sub>2</sub>O, O<sub>2</sub> 또는 N<sub>2</sub> 분위기에서 진행하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

**도면**

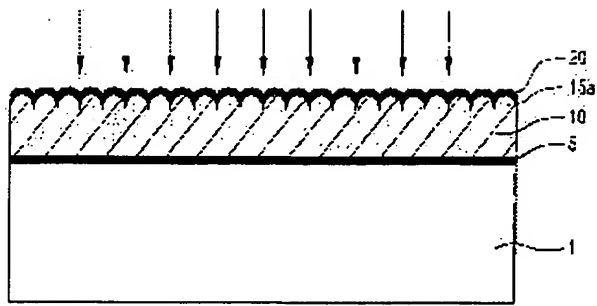
**도면1**



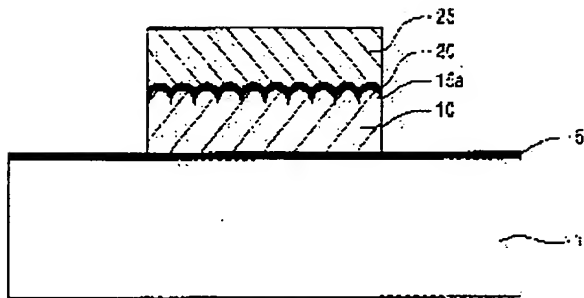
**도면2**



도 3



도 4





KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010014955 A  
(43)Date of publication of application: 26.02.2001

(21)Application number: 1020000027263  
(22)Date of filing: 20.05.2000  
(30)Priority: 03.06.1999 JP 99 156424  
(51)Int. Cl. H01L 21/8247

(71)Applicant: MITSUBISHI ELECTRIC CORP  
(72)Inventor: KANEOKA TATSUNORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To improve a semiconductor memory device, especially a flash memory in erasing and writing speed.

CONSTITUTION: A semiconductor memory device is equipped with a capacitor composed of two electrode films and a two-layered dielectric film interposed between the electrode films and composed of a silicon oxide film and a silicon nitride, and the semiconductor memory device is manufactured through such a manner where a silicon film is thermally nitrified by the use of NO gas to be provided with a silicon nitride film 6 on its surface, a silicon oxide film 7 is formed on the silicon nitride film 6 through a CVD method to form a thin dielectric film.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20021129)

Patent registration number (1003736750000)

Date of registration (20030212)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.  
H01L 21/8247(11) 공개번호 특2001-0014955  
(43) 공개일자 2001년02월26일

(21) 출원번호	10-2000-0027263
(22) 출원일자	2000년05월20일
(30) 우선권주장	1999-156424 1999년06월03일 일본(JP)
(71) 출원인	미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고미쓰비시덴키 가부시키가 이샤 기타오카 다카시 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 가네오까다쓰노리
(72) 발명자	일본도쿄도지요다꾸마루노우찌2쵸메2-3미쓰비시덴키가부시키가이샤내 장수길, 구영창
(74) 대리인	

심사청구 : 있음

## (54) 반도체 장치의 제조 방법

## 요약

반도체 기억 장치, 특히 플래시 메모리 등에서의 소거 기입 속도를 향상시킨다.

두개의 전극막 사이에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조에 있어서, 실리콘막에 대하여 NO 가스를 이용한 열질화를 행하여 상기 실리콘막 상에 실리콘 질화막을 형성한 후에, 상기 실리콘 질화막 상에 CVD법에 의해 실리콘 산화막을 적층하여 박막화한 유전체막을 형성한다.

## 도표도

## 도2

## 제1면

반도체 기억 장치, 실리콘 산화막, 실리콘 질화막, 열질화, 캐패시터, CVD법, 유전체막

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 플래시 메모리의 워드선 방향에서부터 본 메모리셀부의 단면 구조를 나타내는 도면.

도 2는 본 발명의 실시예 1에 따른 반도체 기억 장치의 제조 방법을 나타내는 도면으로, NO 가스를 이용한 열질화에 의해 부유 전극 상에 실리콘 질화막을 형성한 후에, CVD법에 의해 실리콘 산화막을 형성하는 순서로 이루어지는 제조 방법을 나타내는 도면.

도 3은 본 발명의 실시예 2에 따른 반도체 기억 장치의 제조 방법을 나타내는 도면으로, CVD법에 의해 실리콘 산화막을 형성한 후에, NO 가스를 이용한 열질화에 의해 부유 전극 상에 실리콘 질화막을 형성하는 순서로 이루어지는 제조 방법을 나타내는 도면.

도 4는 본 발명의 실시예 3에 따른 반도체 기억 장치의 제조 방법을 나타내는 도면으로, 드라이 산화법에 의해 실리콘 산화막을 형성한 후에, NO 가스를 이용한 열질화에 의해 부유 전극 상에 실리콘 질화막을 형성하는 순서로 이루어지는 제조 방법을 나타내는 도면.

도 5는 종래의 플래시 메모리의 워드선 방향에서부터 본 메모리셀부의 단면 구조를 나타내는 도면.

도 6은 종래에 플래시 메모리의 제어 전극 부유 전극 간 캐패시터의 제조 방법을 나타내는 도면.

&lt;도면의 주요 부분에 대한 부호의 설명&gt;

- 1 : 실리콘 기판
- 2 : 터널 산화막
- 3 : 소자 분리 실리콘 산화막
- 4 : n형 불순물층

- 5 : 부유 전극
- 6 : 실리콘 질화막층
- 7 : 실리콘 산화막
- 8 : 제어 전극
- 9 : 실리콘 산화막
- 10 : 하층 금속 배선
- 11 : 실리콘 산화막
- 12 : 상층 금속 배선
- 13 : 실리콘 산화막
- 14 : 인첨가 비정질 실리콘막
- 15 : CVD-실리콘 산화막
- 17 : 실리콘 산화막
- 18 : 폴리 열 산화막
- 19 : 폴리 열 산화막
- 20 : 하부 실리콘 산화막
- 21 : CVD-실리콘 질화막
- 22 : 상부 실리콘 산화막
- 23 : 상부 CVD-실리콘 산화막

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기판 장치의 제조 방법에 관한 것으로, 특히 플래시 메모리에 대표되는 불휘발성 기억 소자의 제어 전극·부유 전극 간 캐패시터의 제조 방법에 관한 것이다.

우선, 종래의 불휘발성 기억 소자와 그 제조 방법에 대해서, 도면을 참조하면서 설명한다.

도 5는, 종래의 기술에 의한 플래시 메모리의 워드선 방향에서부터 본 메모리셀 단면 구조의 일례를 나타내고 있다. 도 5에서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 열 산화법에 의해 형성한 터널 산화막, 참조 번호 3은 인접하는 메모리셀 간을 전기적으로 분리하기 위한 소자 분리 실리콘 산화막, 참조 번호 4는 실리콘 기판(1)에 인이나 비소 등으로 형성한 n형 불순물층, 참조 번호 5는 인첨가 다결정 실리콘으로 이루어지는 부유 전극, 참조 번호 8은 인첨가 다결정 실리콘으로 이루어지는 제어 전극, 참조 번호 9는 인접 메모리셀의 부유 전극(5) 및 제어 전극(8)과의 전기적 절연을 실리콘 산화막, 참조 번호 10은 하층 금속 배선, 참조 번호 11은 인접하는 하층 금속 배선(10) 간의 실리콘 산화막, 참조 번호 12는 상층 금속 배선, 참조 번호 13은 하층 금속 배선(10)과 상층 금속 배선(12) 간의 실리콘 산화막, 참조 번호 20은 하부 실리콘 산화막, 참조 번호 21은 CVD-실리콘 질화막, 참조 번호 22는 상부 실리콘 산화막이다.

이러한 종래의 플래시 메모리에서는, 데이터 유지를 위한 제어 전극·부유 전극 간의 유전체막은 하부 실리콘 산화막(20)/CVD-실리콘 질화막(21)/상부 실리콘 산화막(22)의 3층에 의해 구성되고 있다.

도 6은 종래에인 플래시 메모리의 제어 전극·부유 전극 간의 캐패시터부의 제조 공정을 나타내는 것으로, 비트선 방향에서부터 본 제어 전극·부유 전극 간 캐패시터 단면 구조를 나타내고 있다.

종래의 제조 방법에 대하여 설명하면, 우선 도 6a에서 인첨가 비정질 실리콘막(14)의 퇴적을 행한다. 여기서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 터널 산화막, 참조 번호 3은 소자 분리 실리콘 산화막이다. 인첨가 비정질 실리콘막은 예를 들면, 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 을 이용한 500 ~ 550°C에서의 CVD법에 의해 형성할 수 있다. 인첨가 비정질 실리콘막(14) 중 인 농도는 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 의 유량비를 바꿈으로써 제어할 수 있다.

다음에 도 6b에서 리소그래피 및 드라이 에칭 기술에 의해 인첨가 비정질 실리콘막(14)을 원하는 형상으로 가공한다.

그리고, 도 5c에서 인첨가 비정질 실리콘막(14) 상에 700 ~ 900°C에서의 모노실란  $\text{SiH}_4$ 와 아산화 질소  $\text{N}_2\text{O}$  또는 디클로로 실란  $\text{SiH}_2\text{Cl}_2$ 와 아산화 질소  $\text{N}_2\text{O}$ 의 열 CVD법에 의해 하부 실리콘 산화막(20)을 형성한다. 이 때 인첨가 비정질 실리콘막(14)이 퇴적 시의 열 에너지에 의해 결정화를 일으켜서, 인첨가 다결정 실리콘으로 이루어지는 부유 전극(5)으로 변화한다.

다음에, 도 6d에서 하부 실리콘 산화막(20) 상에 600 ~ 900°C에서의 모노실란  $\text{SiH}_4$  또는 디클로로 실란

$\text{SiH}_4$ ,  $\text{Cl}_2$ 와 암모니아  $\text{NH}_3$ 의 열 CVD법에 의해 CVD-실리콘 질화막(21)을 퇴적한다.

다음에, 도 6e에서 CVD-실리콘 질화막(21) 상에 700 ~ 900°C에서의 모노실란  $\text{SiH}_4$ 와 아산화 질소  $\text{N}_2\text{O}$  또는 디플로로 실란  $\text{SiH}_2\text{Cl}_2$ 와 아산화 질소  $\text{N}_2\text{O}$ 의 열 CVD법에 의해 상부 CVD-실리콘 산화막(23)을 형성한다.

다음에, 도 6f에서 수증기 분위기 중에서 상부 CVD-실리콘 산화막(23)을 어닐링함으로써 치밀한 상부 실리콘 산화막(22)을 형성한다.

최후의 도 6g에서 상부 실리콘 산화막(22) 상에 인침가 다결정 실리콘막으로 형성된 제어 전극(8)을 퇴적하고, 리소그래피 및 드라이 에칭 공정을 거쳐서 제어 전극, 부유 전극 간 캐패시터가 형성된다. 제어 전극(8)은 620°C에서의 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 을 사용한 CVD법에 의해 형성할 수 있다.

이 종래의 불휘발성 기억 소자에서는, 데이터 보류를 위한 제어 전극, 부유 전극 간의 유전체막은 하부 실리콘 산화막(20)/CVD-실리콘 질화막(21)/상부 실리콘 산화막(22)의 3층에 의해 구성되고 있다.

#### 발명이 이루고자 하는 기술적 과제

종래의 불휘발성 기억 소자, 예를 들면 플래시 메모리의 부유 전극 제어 전극 간의 유전체막에는 실리콘 산화막/CVD-실리콘 질화막/상부 실리콘 산화막의 3층 구조를 사용하고 있으므로 박막화하는 것이 곤란하였다. 이 때문에, 플래시 메모리의 소거 기입 속도의 저하를 야기하고 있었다.

본 발명은 상기한 바와 같은 문제점을 동시에 해소시키기 위해서 이루어진 것으로, 반도체 기억 장치, 특히 플래시 메모리 등에서의 소거 기입 속도를 향상시키는 극박의 제어 전극, 부유 전극 간 유전체막을 얻는 것을 목적으로 한다.

본 발명의 청구항 1에 기재된 반도체 기억 장치의 제조 방법은, 두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘막에 대하여  $\text{NO}$  가스를 이용한 열질화를 행하여, 상기 실리콘막 상에 실리콘 질화막을 형성한 후에, 상기 실리콘 질화막 상에 CVD법에 의해 실리콘 산화막을 적층하여, 상기 유전체막을 형성하는 것을 특징으로 하는 것이다.

청구항 2에 기재된 반도체 기억 장치의 제조 방법은, 두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘막 상에 CVD법에 의해 실리콘 산화막을 형성한 후,  $\text{NO}$  가스를 이용하여 열질화에 의해 상기 실리콘막(부유 전극)의 상기 실리콘 산화막에 접하는 경계면에 실리콘 질화막을 형성하여 상기 유전체막을 형성하는 것을 특징으로 하는 것이다.

청구항 3에 기재된 반도체 기억 장치의 제조 방법은, 두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘막 상에 드라이 산화법에 의해 실리콘 산화막을 형성한 후에  $\text{NO}$  가스를 이용한 열질화에 의해 상기 실리콘막의 상기 실리콘 산화막에 접하는 경계면에 실리콘 질화막을 형성하여 상기 유전체막을 형성하는 것을 특징으로 하는 것이다.

본 발명에 따른 반도체 기억 장치의 제조 방법은, 상기 방법에 있어서, 상기 실리콘막으로서 인침가 비정질 실리콘막을 형성하는 것을 특징으로 하는 것이다.

본 발명에 따른 기재된 반도체 기억 장치의 제조 방법은, 상기 방법에 있어서, 상기 CVD-실리콘 산화막을 또한 수증기 분위기 중에서 어닐링하여 치밀한 실리콘 산화막으로 하는 것을 특징으로 하는 것이다.

본 발명에 따른 반도체 기억 장치의 제조 방법은, 상기 방법에서 상기 실리콘 산화막을 물 또는 증기 분위기 중에서 어닐링하여 치밀한 실리콘 산화막으로 하는 것을 특징으로 하는 것이다.

#### 발명의 구성 및 작용

이하, 본 발명의 실시예에 대하여 도면을 참조하여 설명한다. 또, 도면 중 동일 또는 상당 부분에는 동일 부호를 붙여서, 그 설명을 간략화 또는 생략하는 경우가 있다.

실시예 1.

도 1은 본 발명에 따른 반도체 기억 장치로서, 플래시 메모리의 워드선 방향에서부터 본 메모리셀 단면 구조의 일례를 나타내고 있다. 도 1에서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 열 산화법에 의해 형성한 터널 산화막, 참조 번호 3은 인접하는 메모리셀 간을 전기적으로 분리하기 위한 소자 분리 실리콘 산화막, 참조 번호 4는 실리콘 기판(1)에 인이나 비소 등으로 형성한 n형 불순물층, 참조 번호 5는 인침가 다결정 실리콘으로 이루어지는 부유 전극, 참조 번호 6은 실리콘 질화막층, 참조 번호 7은 실리콘 산화막, 참조 번호 8은 인침가 다결정 실리콘으로 이루어지는 제어 전극, 참조 번호 9는 인접 메모리셀의 부유 전극(5) 및 제어 전극(8)과의 전기적 절연을 실리콘 산화막, 참조 번호 10은 하층 금속 배선, 참조 번호 11은 인접하는 하층 금속 배선(10) 간의 실리콘 산화막, 참조 번호 12는 상층 금속 배선, 참조 번호 13은 하층 금속 배선(10)과 상층 금속 배선(12) 간의 실리콘 산화막이다.

이 실시예에서, 데이터 보류를 위한 제어 전극, 부유 전극 간의 유전체막은 실리콘 질화막층(6)과 실리콘 산화막(7)의 2층에 의해 구성되고 있다.

도 2는 본 발명의 실시예 1에 따른 플래시 메모리의 제어 전극·부유 전극 간 캐패시터의 제조 방법의 일례를 나타낸 도면으로, 비트선 방향에서부터 본 제어 전극·부유 전극 간의 캐패시터 단면 구조를 나타내고 있다.

도 2a에서 인침가 비정질 실리콘막(14)의 퇴적을 행한다. 여기서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 터널 산화막, 참조 번호 3은 소자 분리 실리콘 산화막이다. 인침가 비정질 실리콘막(14)은 예를 들면, 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 을 이용한 500 ~ 550°C에서의 열 CVD법에 의해 형성할 수 있다. 인침가 비정질 실리콘막(14) 중 인 농도는 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 의 유량비를 바꿈으로써 제어할 수 있다.

도 2b에서, 도 2a에서 퇴적한 인침가 비정질 실리콘막(14)을 리소그래피 및 드라이 에칭법을 이용하여 원하는 형상으로 가공한다.

도 2c에서, 850 ~ 1150°C의  $\text{NO}$  가스 혹은  $\text{NO}$  가스를 포함하는 분위기 중에서의 어닐링을 행한다. 이 때, 열 에너지에 의해 인침가 비정질 실리콘막(14)이 인침가 다결정 실리콘으로 이루어지는 부유 전극(5)으로 변화하고 또한 이 부유 전극(5) 상에 실리콘 질화막층(6)이 형성된다.

그리고, 도 2d에서 700 ~ 900°C에서의 모노실란  $\text{SiH}_4$ 와 아산화 질소  $\text{N}_2\text{O}$  또는 디클로로 실란  $\text{SiH}_2\text{Cl}_2$ 와 아산화 질소  $\text{N}_2\text{O}$  등의 열 CVD법에 의해 CVD-실리콘 산화막(15)을 형성한다.

이 다음의 도 2e에서 수증기 분위기 중에서 CVD-실리콘 산화막(15)을 어닐링함으로써 치밀한 실리콘 산화막(7)을 형성한다. 또, 이 때에 실리콘 질화막층(6)이 산화제의 확산을 억제하기 때문에 부유 전극(5)의 산화를 막는다.

최후의 도 2f에서, 실리콘 산화막(7) 상에 인침가 다결정 실리콘막으로 형성된 제어 전극(8)의 순서로 퇴적하고, 리소그래피 및 드라이 에칭 공정을 거쳐서 제어 전극·부유 전극 간 캐패시터가 형성된다. 제어 전극(8)은 620°C에서의 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 을 사용한 CVD법에 의해 형성할 수 있다. 또, 제어 전극·부유 전극 간의 유전체막 구조는 종래 기술과 달리, 실리콘 질화막층(6)/실리콘 산화막(7)의 2층 구조가 된다.

이상 설명한 바와 같이, 이 실시예에 따르면, 반도체 기억 장치의 제어 전극·부유 전극 간에서, 부유 전극 상면에  $\text{NO}$  가스를 이용한 열질화에 의해 실리콘 질화막을 형성한 후에, CVD법에 의해 실리콘 산화막을 형성하는 방법에 의해 실리콘 질화층 및 실리콘 산화막의 2층으로 이루어지는 박막화한 유전체막을 형성할 수 있고, 이에 따라 플래시 메모리 등의 소거 기입 속도의 고속화를 도모할 수 있다.

실시예 2.

도 3은 본 발명의 실시예 2에 따른 플래시 메모리의 제어 전극·부유 전극 간 캐패시터의 제조 방법의 일례를 나타낸 도면으로, 비트선 방향에서부터 본 제어 전극·부유 전극 간 캐패시터 단면 구조를 나타내고 있다.

제조 방법에 대하여 설명하면, 우선 도 3a에서 실시예 1의 도 2a와 마찬가지로, 인침가 비정질 실리콘막(14)의 퇴적을 행한다. 여기서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 터널 산화막, 참조 번호 3은 소자 분리 실리콘 산화막이다.

다음에, 도 3b에서 리소그래피 및 드라이 에칭 기술에 의해 인침가 비정질 실리콘막(14)을 원하는 형상으로 가공한다.

다음에, 도 3c에서 700 ~ 900°C에서의 모노실란  $\text{SiH}_4$ 와 아산화 질소  $\text{N}_2\text{O}$  또는 디클로로 실란  $\text{SiH}_2\text{Cl}_2$ 와 아산화 질소  $\text{N}_2\text{O}$  등의 열 CVD법에 의해 CVD-실리콘 산화막(15)을 형성한다. 이 때, 열 에너지에 의해 인침가 비정질 실리콘막(14)이 인침가 다결정 실리콘으로 이루어지는 부유 전극(5)으로 변화한다.

그리고, 도 3d에서 850 ~ 1150°C의  $\text{NO}$  가스 혹은  $\text{NO}$  가스를 포함하는 분위기 중에서의 어닐링을 행한다. 이 때, 열 에너지에 의해 부유 전극(5) 상에 실리콘 질화막층(6)이 형성되며 CVD-실리콘 산화막(15)이  $\text{NO}$  질화 처리된 CVD-실리콘 산화막(17)으로 변화한다.

도 3e에서 수증기 분위기 중에서  $\text{NO}$  질화 처리된 CVD-실리콘 산화막(17)을 어닐링함으로써, 치밀한 실리콘 산화막(7)을 형성한다. 또, 이 때에 실리콘 질화막층(6)이 산화제의 확산을 억제하기 위해서 부유 전극(5)의 산화를 막는다.

최후의 도 3f에서, 실리콘 산화막(7) 상에 인침가 다결정 실리콘막으로 형성된 제어 전극(8)을 퇴적하고, 리소그래피 및 드라이 에칭 공정을 거쳐서 제어 전극·부유 전극 간 캐패시터가 형성된다. 제어 전극(8)은 620°C에서의 모노실란  $\text{SiH}_4$ 와 포스핀  $\text{PH}_3$ 을 사용한 CVD법에 의해 형성할 수 있다.

이 실시예에서 제어 전극·부유 전극 간의 유전체막 구조는 종래 기술과 달리, 실리콘 질화막층(6)/실리콘 산화막(7)의 2층 구조가 된다.

이상 설명한 바와 같이, 이 실시예에 따르면, 반도체 기억 장치의 제어 전극·부유 전극 간에서, 부유 전극 상면에 CVD법에 의해 실리콘 산화막을 형성한 후에,  $\text{NO}$  가스를 이용한 열질화에 의해 부유 전극 상에 실리콘 질화막을 형성하는 방법에 의해, 실리콘 질화층 및 실리콘 산화막의 2층으로 이루어지는 박막화한 유전체막을 형성할 수 있고, 이에 따라 플래시 메모리 등의 소거 기입 속도의 고속화를 도모할 수 있다.

실시예 3.

도 4는 본 발명의 실시예 3에 따른 플래시 메모리의 제어 전극·부유 전극 간 캐패시터의 제조 방법의 일례를 나타낸 도면으로, 비트선 방향에서부터 본 제어 전극·부유 전극 간 캐패시터 단면 구조를 나타내고 있다.

제조 방법에 대하여 설명하면, 우선 도 4a에서 실시예 1의 도 2a와 마찬가지로 방법에 의해, 인침가 비정질 실리콘막(14)의 퇴적을 행한다. 여기서, 참조 번호 1은 실리콘 기판, 참조 번호 2는 터널 산화막, 참조 번호 3은 소자 분리 실리콘 산화막이다.

다음에, 도 4b에서 리소그래피 및 드라이 에칭 기술에 의해 인침가 비정질 실리콘막(14)을 원하는 형상으로 가공한다.

다음에, 도 4c에서 700 ~ 1000°C에서의 드라이 산화 분위기에 의한 산화법에 의해, 폴리 실리콘 열 산화막(18)을 형성한다. 이 때, 열 에너지에 의해 인침가 비정질 실리콘막(14)이 인침가 다결정 실리콘으로 이루어지는 부유 전극(5)으로 변화한다.

그리고, 도 4d에서 850 ~ 1150°C의 NO 가스 혹은 NO 가스를 포함하는 분위기 중에서의 어닐링을 행한다. 이 때, 열 에너지에 의해 부유 전극(5) 상에 실리콘 질화막층(6)이 형성되며, 폴리 열 산화막(18)이 NO 질화 처리된 폴리 열 산화막(19)으로 변화한다.

다음에, 도 4e에서 수증기 분위기 중에서 NO 질화 처리된 폴리 열 산화막(19)을 어닐링함으로써, 치밀한 실리콘 산화막(7)을 형성한다. 또, 이 때에 실리콘 질화막층(6)이 산화제의 확산을 억제하기 위해서 실리콘 산화막(7)의 막 두께 증가를 막는다.

최후의 도 4f에서, 실리콘 산화막(7) 상에 인침가 다결정 실리콘막으로 형성된 제어 전극(8)을 퇴적하고, 리소그래피 및 드라이 에칭 공정을 거쳐서 제어 전극·부유 전극 간 캐패시터가 형성된다. 제어 전극(8)은 620°C에서의 모노실란 SiH<sub>4</sub>와 포스핀 PH<sub>3</sub>를 사용한 CVD법에 의해 형성할 수 있다.

이 실시예에서, 제어 전극·부유 전극 간의 유전체막 구조는 종래 기술과 달리, 실리콘 질화막층(6)/실리콘 산화막(7)의 2층 구조가 된다.

이상 설명한 바와 같이, 이 실시예에 따르면, 반도체 기억 장치의 제어 전극·부유 전극 간에서, 부유 전극 상면에 드라이 산화법에 의해 실리콘 산화막을 형성한 후에 NO 가스를 이용한 열질화에 의해 부유 전극 상에 실리콘 질화막을 형성하는 방법에 의해, 실리콘 질화층 및 실리콘 산화막의 2층으로 이루어지는 박막화한 유전체막을 형성할 수 있고, 이에 따라 플래시 메모리 등의 소거 기입 속도의 고속화를 도모할 수 있다.

#### 발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, NO 가스를 이용한 질화 처리에 의해 부유 전극 상면에 실리콘 질화층 및 실리콘 산화막의 2층으로 이루어지는 유전체막을 형성하고, 유전체막의 박막화를 실현하였으므로, 플래시 메모리 등의 소거 기입 속도의 고속화의 효과가 있다.

그 결과, 한층 더 플래시 메모리 등 도체 기억 장치의 고신뢰성의 실현에 기여하여 전자 기기의 발전에 공헌할 수 있는 것이다.

#### (5) 청구의 범위

##### 청구항 1

두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘 도전막에 대하여 NO 가스를 이용한 열질화를 행하여 상기 실리콘 도전막 상에 실리콘 질화막을 형성한 후에, 상기 실리콘 질화막 상에 CVD법에 의해 실리콘 산화막을 적층하여 상기 유전체막을 형성하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

##### 청구항 2

두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘막 상에 CVD법에 의해 실리콘 산화막을 형성한 후, NO 가스를 이용하여 열질화에 의해 상기 실리콘막의 상기 실리콘 산화막에 접하는 경계면에 실리콘 질화막을 형성하여 상기 유전체막을 형성하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

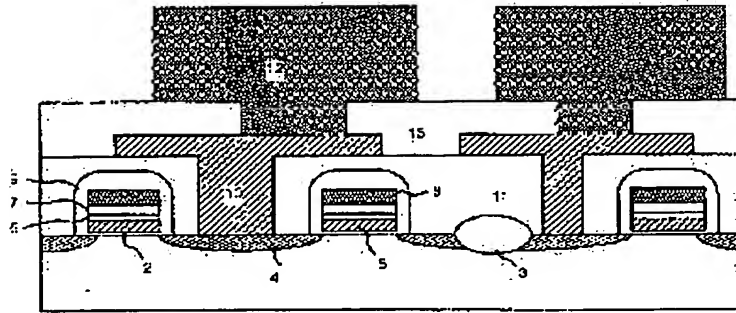
##### 청구항 3

두개의 전극막 간에 실리콘 산화막/실리콘 질화막의 2층으로 이루어지는 유전체막이 배치되어 형성된 캐패시터를 구비하는 반도체 기억 장치의 제조 방법에 있어서,

실리콘막 상에 드라이 산화법에 의해 실리콘 산화막을 형성한 후에, NO 가스를 이용한 열질화에 의해 상기 실리콘막의 상기 실리콘 산화막에 접하는 경계면에 실리콘 질화막을 형성하여 상기 유전체막을 형성하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

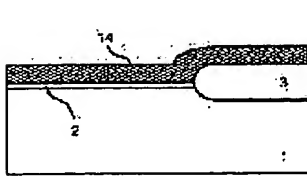
#### 도면

도면1

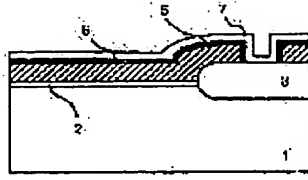


1. 실리콘 기판
2. 비닐 산화막
3. 소자 분리 실리콘 산화막
4. n형 불순물층
5. p형 질석
6. 실리콘 질화막층
7. 실리콘 산화막
8. 제어 질석
9. 인접 메모리 셀의 부유 전선(5) 및 제어 전선(8)과의 전기적 절연을 위한 실리콘 산화막
10. 하층 금속 배선
11. 하층 금속 배선(10)과의 실리콘 산화막
12. 상층 금속 배선
13. 하층 금속(10)과 상층 금속 배선(12)과의 실리콘 질화막

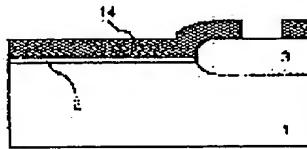
도 12



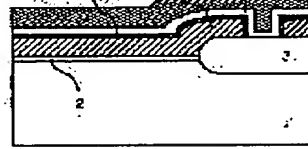
(a)



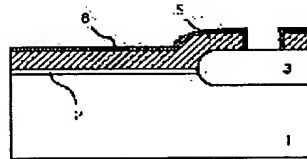
(e)



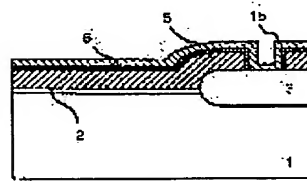
(b)



(f)



(c)

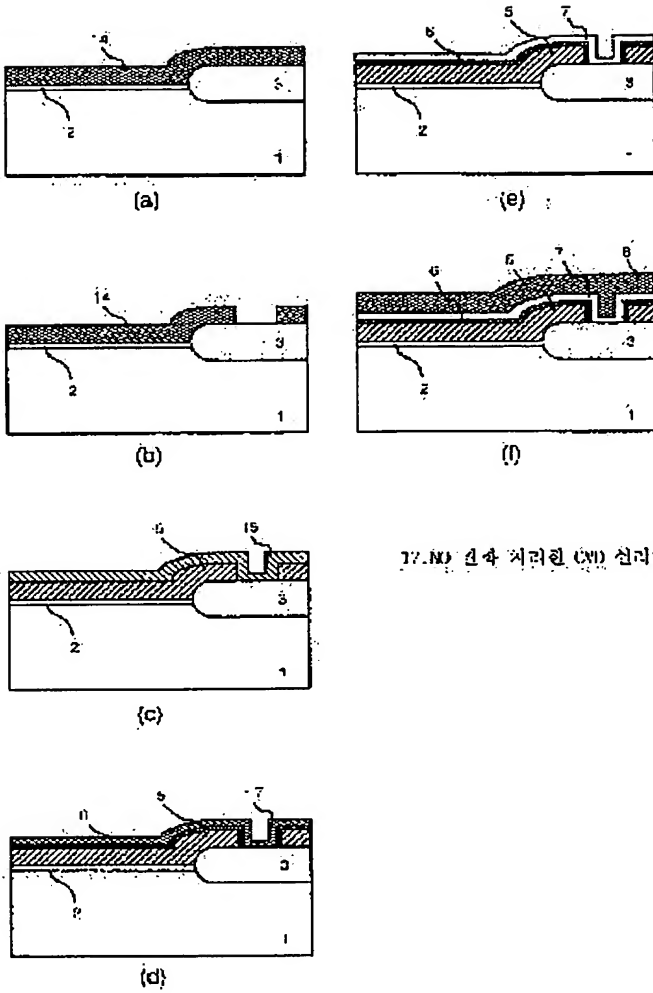


(d)

- 14. 원 위치 비침입 식각
- 15. CVD 식각을 대체함
- 16. NO 등과 시리한 식각용 산화막

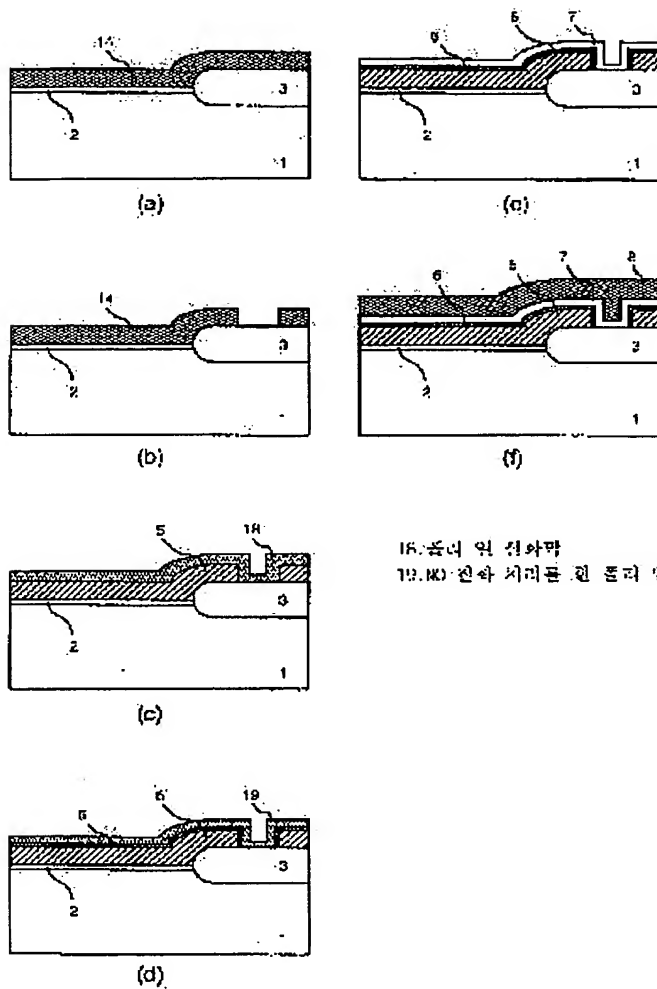


도 3

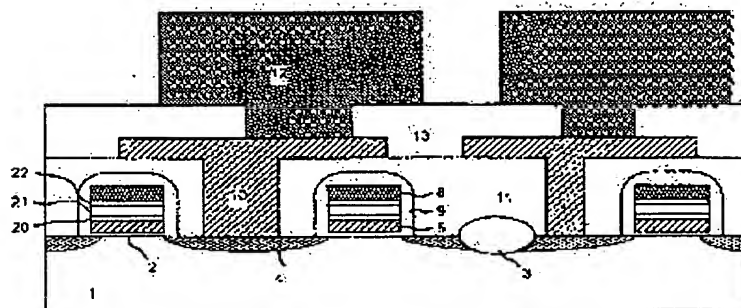


17. NO 전하 처리된 (NO) 처리된 산화막

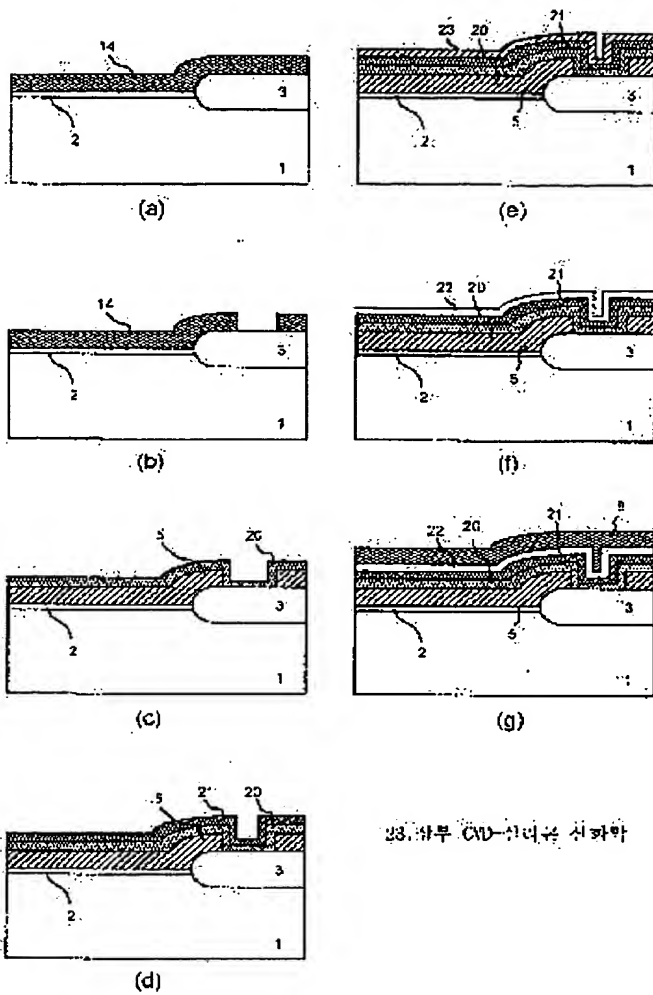
도면4



도면5



도 10



23. 일부 CVD-시리즈를 선택함